

Docket No.: 60188-589

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
: Kaoru INOUE, et al. :
: Serial No.: : Group Art Unit:
: Filed: July 17, 2003 : Examiner:
: For: METHOD FOR FABRICATING SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-208389, filed July 17, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:km
Facsimile: (202) 756-8087
Date: July 17, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-584
Kaoru Inoue et al
July 17, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 7月17日

出 願 番 号
Application Number:

特願2002-208389

[ST.10/C]:

[JP2002-208389]

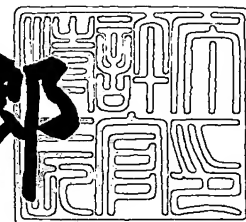
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051930

【書類名】 特許願

【整理番号】 2925040026

【提出日】 平成14年 7月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/43

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 井上 薫

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 池田 義人

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 西井 勝則

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

 【氏名】 廣瀬 裕

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 $\text{Al}_X\text{Ga}_{1-X}\text{N}$ ($0 < X \leq 1$) よりなる半導体層の上に選択的にシリコン膜を形成する工程と、前記半導体層に対し酸素単体または酸素化合物を含むガス雰囲気中にて熱処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記選択的にシリコン膜を形成する工程の後にシリコン化合物膜を形成する工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記シリコン化合物膜として SiO_2 膜、 SiN 膜または SiO_2 膜と SiN 膜とを交互に積み重ねた膜を用いることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記熱処理を行う工程は、 950°C 以上 1050°C 以下の温度範囲において行われることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記熱処理を行う工程においてシリコンを前記半導体層に拡散する工程を含むことを特徴とする請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、窒化ガリウム系半導体を用いた半導体レーザ素子や電界効果トランジスタ素子等の半導体装置に係るものであり、特に半導体装置における素子の分離領域を形成する技術およびコンタクト抵抗を低減する技術に関するものである。

【0002】

【従来の技術】

GaN 、 AlGaN 、 InGaN 、 InAlGaN 等、一般的に $\text{In}_X\text{Al}_Y\text{Ga}_{1-X-Y}\text{N}$ ($0 \leq X \leq 1$ 、 $0 \leq Y \leq 1$ 、なお、以下例えば $\text{Al}_X\text{Ga}_{1-X}\text{N}$ ($0 < X \leq 1$) 等を AlGaN と表記する) で表される窒化ガリウム系半導体は高い絶

縁破壊電界強度、高い熱伝導率、高い電子飽和速度を有しており高周波のパワーデバイス材料として有望である。特に、AlGa_N/Ga_Nヘテロ接合構造ではAlGa_NとGa_Nのヘテロ接合界面付近に高濃度の電子が蓄積し、いわゆる二次元電子ガスが形成される。この二次元電子ガスはAlGa_Nに添加されるドナー不純物と空間的に分離されて存在するため高い移動度を示し、電界効果型トランジスタにこのヘテロ構造を用いる場合、ソース抵抗成分を低減することに寄与する。また、ゲート電極から二次元電子ガスまでの距離 d は通常数十nmと短いため、アスペクト比と呼ばれるゲート長 L_g との比 L_g/d を L_g が100nm程度と短くなっても5から10と大きくできるため短チャネル効果の小さい良好な飽和特性を有する電界効果トランジスタを作製しやすいという優れた特徴を有する。さらにAlGa_N/Ga_N系ヘテロ構造における二次元電子は 1×10^5 V/cm程度の高電界領域で、現在高周波トランジスタとして普及しているAlGaAs/InGaAs系の場合に比べての2倍以上の電子速度を有し、高周波のパワーデバイスへの応用が期待されている。

【0003】

AlGa_N/Ga_N系ヘテロ構造電界効果型トランジスタ（以下にヘテロ構造電界効果型トランジスタをHFETと略記する）を作製する場合、まず個々のトランジスタを電氣的に分離するための素子分離を行うがその一つの方法として選択酸化を行う方法がある。この方法は活性領域を酸化保護膜（以下単に保護膜という）で覆いそれ以外の領域を酸化しGa_N系半導体の酸化物（以下に素子分離酸化層と呼ぶ）に変換するものである。酸化保護膜の構成のひとつとしてSi膜を用いる方法が例えば正戸他、アイ・イー・ディー・エム テクニカル ダイジェスト、2000年、第377ページ～第380ページ（H. Masato et al., IEDM Tech. Dig. (2000) pp.377-380）に報告されている。

【0004】

一方、Si膜からのSiのGa_Nへの拡散は900℃以上の温度で顕著になることがシー・エフ・リン他、アプライド・フィジックス・レターズ第76巻（2000年）第1878ページ～第1880ページ（C. F. Lin et al., Applied Physics Letters Volume 76 (2000) pp.1878-1880）に報告されており、コンタ

クト抵抗の低減に効果のあることが知られている。

【0005】

【発明が解決しようとする課題】

しかしながら上記従来の技術においては、例えば900℃の乾燥酸素雰囲気中にて酸化した場合、素子分離に十分な膜厚の素子分離酸化層を形成するには少なくとも4時間、構造によっては12時間程度の酸化時間を必要とする。その結果製造工程上作業効率が悪く、いっそうの時間短縮が要望される。なお、酸化時間を短縮するために酸化温度を上昇させることが考えられるが、Si膜の保護膜からのSiがGaN系半導体中に拡散していき、素子の表面がすべて n^+ 型のGaN系半導体層に変換され、AlGaN/GaNヘテロ構造の二次元電子ガスの移動度が低下することや、HFETのゲート電流のリーク電流が増大するという問題が生じる。

【0006】

上記課題に鑑み、本発明は短時間で素子分離を行うと同時にGaN系ヘテロ構造の電気的性質を損なうことなく表面にSiを導入する方法を提供するものである。

【0007】

【課題を解決するための手段】

上記課題を解決するために本発明の半導体装置の製造方法は、 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) よりなる半導体層の上に選択的にシリコン膜を形成する工程と、前記半導体層に対し酸素単体または酸素化合物を含むガス雰囲気中にて熱処理を行う工程とを有するものである。

【0008】

この構成により、 $Al_xGa_{1-x}N$ ($0 < x \leq 1$) よりなる半導体層はSiの拡散に対してのバリアとなるので、 $Al_xGa_{1-x}N$ よりなる半導体層直下にある半導体層（例えばGaNチャンネル層）までも n^+ 型にするのを防止できる。

【0009】

本発明の半導体装置の製造方法は、さらに前記選択的にシリコン膜を形成する工程の後にシリコン化合物膜を形成する工程を有することが好ましい。この好ま

しい構成によれば、素子分離と、半導体層表面へのSiの導入とを同時に行うことができ、素子分離と、半導体層表面へのSiの導入とを別々の工程で行う場合に比べて工程数が少なくなるので、半導体装置を効率よく製造することができる。

【0010】

本発明の半導体装置の製造方法は、さらに前記シリコン化合物膜としてSiO₂膜、SiN膜またはSiO₂膜とSiN膜とを交互に積み重ねた膜を用いることが好ましい。

【0011】

本発明の半導体装置の製造方法は、さらに前記熱処理を行う工程は、950℃以上1050℃以下の温度範囲において行われることが好ましい。この好ましい構成によれば、950℃以上の温度でSiの導入効果により半導体装置のコンタクト抵抗が低下し、上限の1050℃以下の温度でSiの溶融を防止して表面形態の悪化を防止することができる。

【0012】

本発明の半導体装置の製造方法は、さらに前記熱処理を行う工程においてシリコンを前記半導体層に拡散する工程を含むことが好ましい。この好ましい構成によれば、シリコン化合物膜からのシリコンを半導体層に拡散させることができ、それにより表面が低抵抗である半導体層を得ることができる。

【0013】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら以下に説明する。

【0014】

（実施の形態1）

本発明の第1の実施形態に係る半導体装置の製造方法を図面に基づいて説明する。図3は本発明の第1の実施形態に係る半導体装置の製造工程断面図である。

【0015】

まず、本発明に係る選択酸化の実験について説明する。図3（a）は、基板101の上にAlN層102を介して3μmの厚さのアンドープGaN層103、

5 nmの厚さのアンダーブ AlGaIn 層 104、20 nmの厚さの n 型 AlGaIn 層 105、3 nmの厚さのアンダーブ AlGaIn 層 106 が順次エピタキシャル成長させた構造を持つ AlGaIn/GaN ヘテロ構造の表面に厚さ 200 nm の Si 膜 107 を選択的に形成した試料の断面構造図を示す。この後、試料を 1000℃ の乾燥酸素雰囲気中で例えば 2 時間酸化すると Si 膜 107 で覆われていない部分には熱酸化によって厚い酸化膜 108 が形成され、図 3 (b) のような断面構造となる。この時 Si 膜 107 で覆われた部分の電気的特性がどうなるかが問題であるが、図 3 (b) の状態から SiO₂ 膜 110 と Si 膜 107 を弗酸と硝酸の混合液で除去しオーミック電極を形成し、オーミック電極のコンタクト抵抗とオーミック電極間の AlGaIn/GaN ヘテロ構造のシート抵抗を TLM 法により評価したところ、熱酸化をする前のシート抵抗である約 400 Ω/□ を維持していることが見出された。アンダーブ AlGaIn 層 104、n 型 AlGaIn 層 105、アンダーブ AlGaIn 層 106 を合わせた厚さが 28 nm と薄いことを考慮すると、GaN の場合に見られる Si の拡散は AlGaIn/GaN ヘテロ構造では顕著に発生していないことが推察される。なぜならば、もしも Si の拡散が速く、アンダーブ AlGaIn 層 104、n 型 AlGaIn 層 105、アンダーブ AlGaIn 層 106 を通して GaN 層 103 に到達しているならば、AlGaIn/GaN ヘテロ構造の界面に形成されている 2 次元電子ガスの移動度は Si によるイオン化不純物散乱の影響を受けて著しく低下し、シート抵抗の顕著な増大が観測されるからである。さらにこの実験事実を確認するため、熱酸化の時間を 2 時間から 6 時間に引き延ばして同様に AlGaIn/GaN ヘテロ構造のシート抵抗を評価したが、シート抵抗の値は実験誤差の範囲で変化しなかった。酸化保護膜の Si 膜 107 を SiO₂ に置き換え、同様の実験を行った場合も当然ではあるが AlGaIn/GaN ヘテロ構造のシート抵抗の変化は殆ど見られなかった。

【0016】

以上の実験から、AlGaIn 層への Si 膜あるいは SiO₂ 膜からの Si の拡散は 1000℃ の熱処理あるいは熱酸化により殆ど生じないと考えられる。

【0017】

一方、コンタクト抵抗について測定し、Siの拡散がAlGaIn層に対して起きるかどうか検討した。その結果、コンタクト抵抗は、酸化保護膜にSiO₂のみを用い、Si膜107を形成した場合、熱処理を施してもコンタクト抵抗に変化がないが、Si膜107を形成して熱処理あるいは熱酸化した場合は何もしない時よりも1/5程度に低下することが見出された。すなわちSi膜107からのSiの拡散はAlGaIn/GaNヘテロ構造のAlGaIn層のごく表面では起きていることがわかった。しかしながら、わずか28nmの厚さのAlGaIn層を突き抜けるほどには発生していないことがわかった。

【0018】

本発明の第1の実施形態に係る半導体装置の製造方法を以下に説明する。図1は本発明の第1の実施形態に係る半導体装置の製造工程断面図である。

【0019】

図1(a)は、基板101の上にAlN層102を介して3μmの厚さのアンドープGaN層103、5nmの厚さのアンドープAlGaIn層104、20nmの厚さのn型AlGaIn層105、3nmの厚さのアンドープAlGaIn層106が順次エピタキシャル成長させた構造を持つAlGaIn/GaNヘテロ構造の表面に厚さ200nmのSi膜107を選択的に形成した試料の断面構造図である。n型AlGaIn層105のSi不純物の添加量はおよそ $4 \times 10^{18} \text{ cm}^{-3}$ であり、AlGaIn層104～106中のAlN組成はおよそ0.25である。基板101はサファイア基板あるいはSiC基板などであるが特に限定する必要はない。

【0020】

図1(a)の試料を次に1000℃の乾燥酸素雰囲気中に約1～2時間置き、熱酸化を施す。この時酸化保護膜のSi膜107は酸化され表面にSiO₂膜110が形成される。Si保護膜で覆われていない領域のAlGaIn/GaNヘテロ構造は表面から酸化され、AlGaInとGaNの酸化物108が形成され、選択酸化による素子分離が行われると同時にAlGaIn層の表面にSiの導入された層109が極薄く形成される(図1(b))。1000℃の高温熱酸化を用いることで従来の900℃の酸化に比較すると1/4～1/5の時間で素子分離の工

程を済ませることができる。

【 0 0 2 1 】

次に熱酸化で形成された SiO_2 膜 1 1 0 と酸化されずに残った Si 膜 1 0 7 を弗酸と硝酸の混合液により除去し、オーミック電極であるソース電極 1 1 1 とドレイン電極 1 1 2 を形成し 500°C から 900°C の熱処理を行う。これらのオーミック電極の材料は特に限定しないが、通常 Ti と Al を順次堆積したものが用いられ、熱処理の条件はその場合 550°C 、1 分で水素雰囲気において行う。次にゲート電極 1 1 3 を形成して基本的な HFET の工程を終了する(図 1 (c))。ショットキー電極としては Ni や Pd が用いられるがここでは Pd とした。

【 0 0 2 2 】

こうして形成したゲート長 $1\ \mu\text{m}$ の HFET の特性は最大ドレイン電流として $500\sim 900\ \text{mA/mm}$ 、最大相互コンダクタンス $200\ \text{mS/mm}$ と良好であった。コンタクト抵抗は 1000°C の熱酸化を行った場合、従来の 900°C での熱酸化に比べて約 $1/5$ となり、約 $5\times 10^{-6}\ \Omega\cdot\text{cm}^2$ の良好な値を示した。 AlGaIn/GaN ヘテロ構造のシート抵抗は約 $400\ \Omega/\square$ と従来の 900°C の場合と同様であり、高温の酸化による Si 膜 1 0 7 からの Si の拡散の効果は殆どなく、ヘテロ構造の電気的特性の劣化も見られなかった。

【 0 0 2 3 】

熱酸化の温度を 950°C とした場合にはコンタクト抵抗が従来の約 $1/2$ と 900°C の場合に比べて改善した。ちなみに熱酸化を行わないで作製した HFET のオーミック電極のコンタクト抵抗は 900°C の場合とほぼ同一であった。

【 0 0 2 4 】

一方、ゲート電極のショットキー障壁の高さについては熱酸化の温度の上昇と共に低下する傾向が見られ、 900°C の場合に $1\ \text{eV}$ 、 950°C の場合に $0.95\ \text{eV}$ 、 1000°C の場合に $0.8\ \text{eV}$ という結果が得られた。これは Si の拡散が顕著でないものの AlGaIn の表面に Si が導入されたことによるものと考えられる。

【 0 0 2 5 】

なお本実施の形態における、 $\text{AlGaIn}/\text{GaIn}$ のヘテロ構造は $\text{AlGaIn}/\text{InGaIn}$ 構造であってもよい。特に GaIn 層上に In 組成がおよそ5%程度までの薄い InGaIn 層であれば結晶性も良好でデバイス作製に問題無く使用できる。

【0026】

(実施の形態2)

本発明の第2の実施形態は Si 膜を選択酸化による素子分離の酸化保護膜に用いた場合、熱酸化時に AlGaIn 層の表面に Si が導入されゲート電極のショットキー障壁の低下を防止することを目的とする。この第2の実施形態に係る半導体装置の製造方法を図面に基づいて説明する。

【0027】

図2は本発明の第2の実施形態に係る半導体装置の製造工程断面図であり、201は基板、202は $\text{AlGaIn}/\text{GaIn}$ ヘテロ構造であり、図1の102～106をまとめて示している。

【0028】

まず $\text{AlGaIn}/\text{GaIn}$ ヘテロ構造202のゲート電極形成領域以外の素子形成領域に選択的に厚さ100nmの第一の Si 膜203を形成する。次に第一の Si 膜203を覆って全面に SiO_2 膜204を堆積し、その上に厚さ200nm程度の第二の Si 膜205を素子形成領域に選択的に形成する(図2(a))。しかる後、第二の Si 膜205をエッチングマスクとして SiO_2 膜204を弗酸と弗化アンモニウムのバッファーエッチング液を用いて選択的に除去し(図2(b))、1000℃の乾燥酸素雰囲気中で約1～2時間熱酸化を施す。この時第二の Si 膜205で覆われていない領域の $\text{AlGaIn}/\text{GaIn}$ ヘテロ構造は表面から酸化され、素子分離層206が形成されると同時に AlGaIn 層の表面に Si の導入された層208が極薄く形成される(図2(c))。

【0029】

次に熱酸化で形成された SiO_2 膜207、酸化されずに残った Si 膜205およびゲート電極形成領域以外の領域に形成した第一の Si 膜203を弗酸と硝酸の混合液により除去する。しかる後、オーミック電極であるソース電極209

とドレイン電極 2 1 0 を第一の S i 膜 2 0 3 に対応する領域に形成し、さらに第一の S i 膜 2 0 3 で覆われていなかった領域にゲート電極 2 1 1 を順次形成し H F E T を作製する (図 2 (d))。

【 0 0 3 0 】

こうして作製したゲート長 $1 \mu\text{m}$ の H F E T の特性はゲートのショットキー障壁高さを除いて実施の形態 1 で述べた H F E T とほぼ同一の良好な特性を示した。ショットキー障壁の高さは約 1 eV であり実施の形態 1 の場合に比べ 0.2 eV の改善を得、ゲート形成領域に S i 膜 2 0 3 を接触させない効果が得られた。

【 0 0 3 1 】

なお、本実施の形態 2 では酸化の保護膜として S i O₂ 膜 2 0 4 と第二の S i 膜 2 0 5 の組み合わせを用いたがこれは S i O₂ 膜 2 0 4 だけの場合に A l G a N / G a N ヘテロ構造 2 0 2 の表面の素子形成領域が酸化されるのを防止するためであり、この意味から第二の S i 膜 2 0 5 の代わりに 100 nm 程度の厚さの S i N 膜を用いることも可能である。

【 0 0 3 2 】

【発明の効果】

以上説明したように本発明によると、短時間において選択酸化による素子分離が可能であると同時に A l G a N 層の表面の極薄い領域に S i を導入できるので H F E T のオーミック電極のコンタクト抵抗を低下させることができる。その結果素子の作製プロセスの短縮化による低コスト化とコンタクト抵抗低減による H F E T の高性能化を図ることができるという大きな効果がある。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す工程断面図

【図 2】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を示す工程断面図

【図 3】

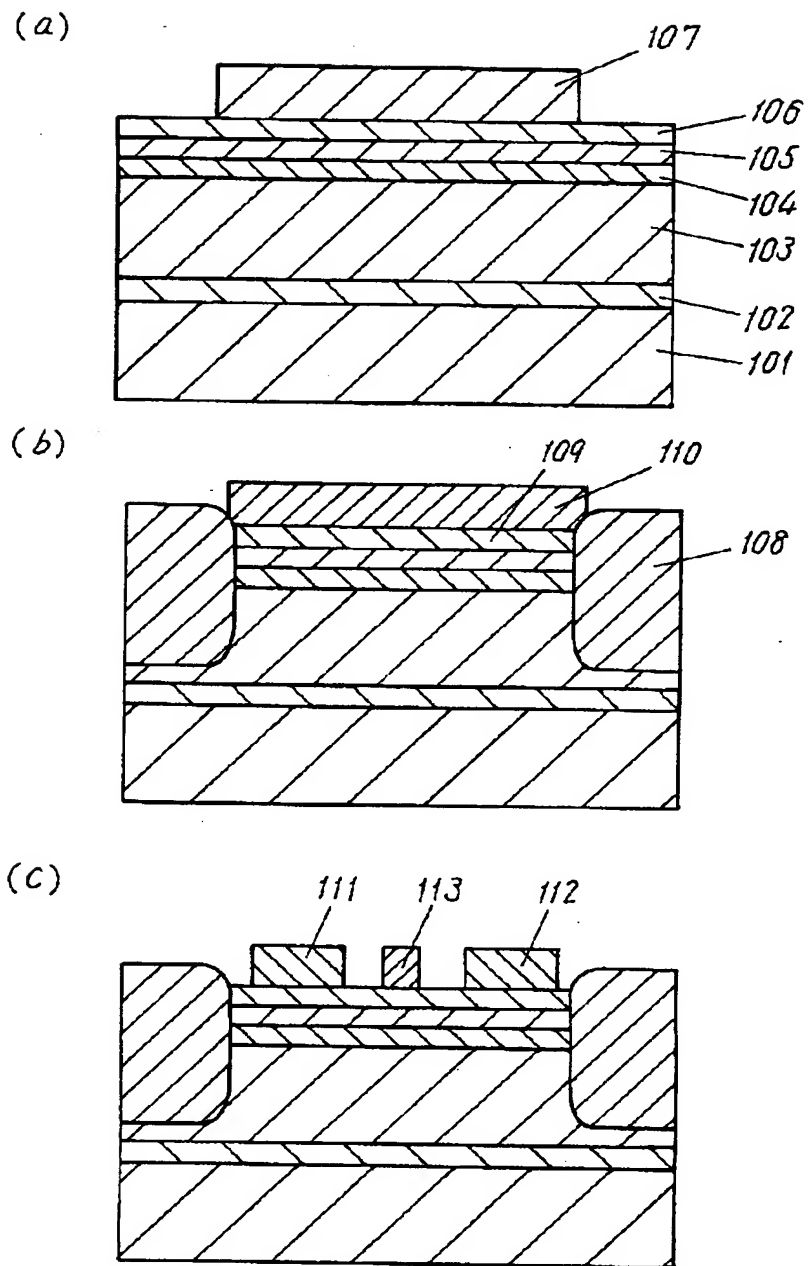
本発明の第 1 の実施の形態に係る選択酸化の実験を示す断面図

【符号の説明】

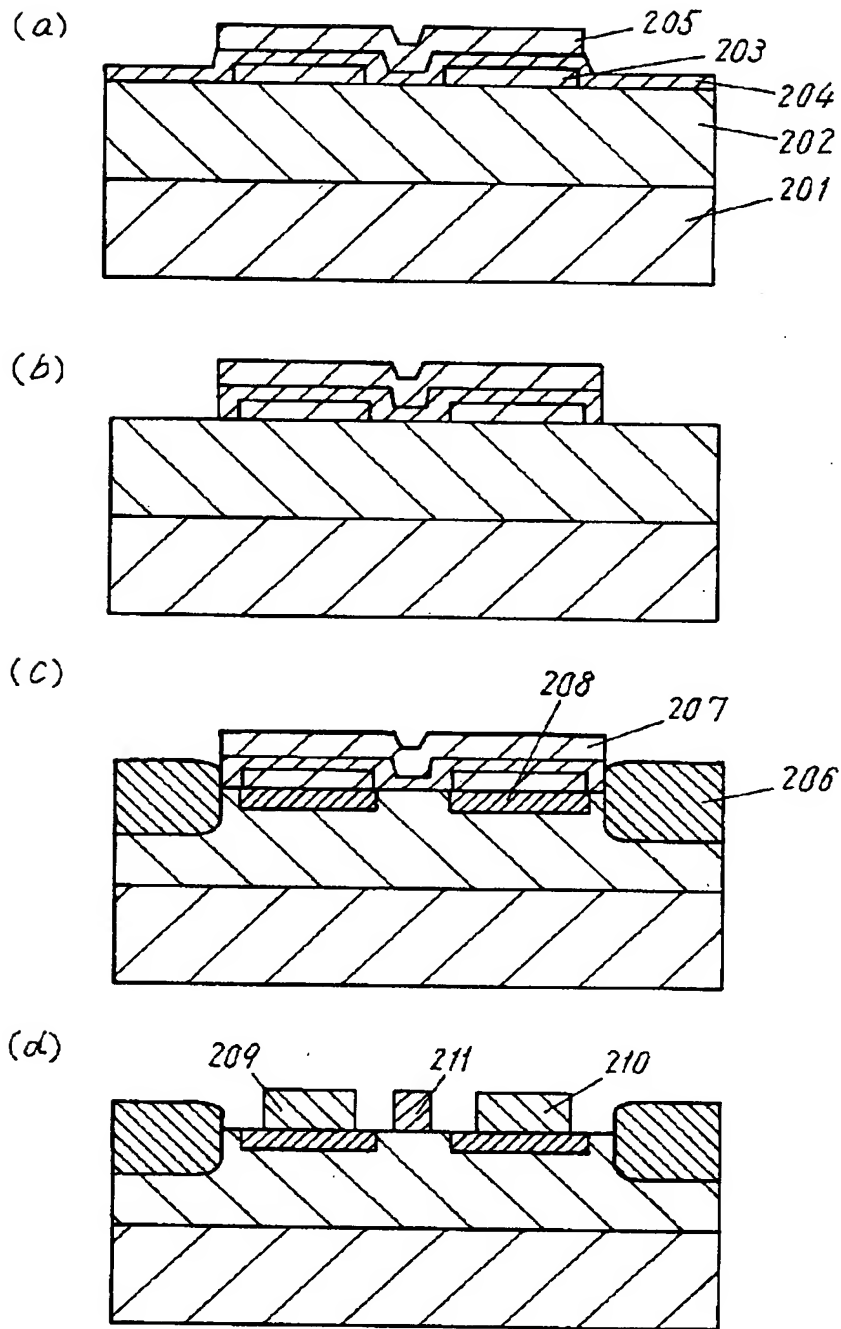
- 1 0 1 基板
- 1 0 2 A l N 層
- 1 0 3 G a N 層
- 1 0 4 アンドープ A l G a N 層
- 1 0 5 n 型 A l G a N 層
- 1 0 6 アンドープ A l G a N 層
- 1 0 7 S i 膜
- 1 0 8 A l G a N と G a N の酸化物
- 1 0 9 S i の導入された層
- 1 1 0 S i O ₂ 膜
- 1 1 1 ソース電極
- 1 1 2 ドレイン電極
- 1 1 3 ゲート電極
- 2 0 1 基板
- 2 0 2 A l G a N / G a N ヘテロ構造
- 2 0 3 第一の S i 膜
- 2 0 4 S i O ₂ 膜
- 2 0 5 第二の S i 膜
- 2 0 6 素子分離層
- 2 0 7 S i O ₂ 膜
- 2 0 8 S i の導入された層
- 2 0 9 ソース電極
- 2 1 0 ドレイン電極
- 2 1 1 ゲート電極

【書類名】 図面

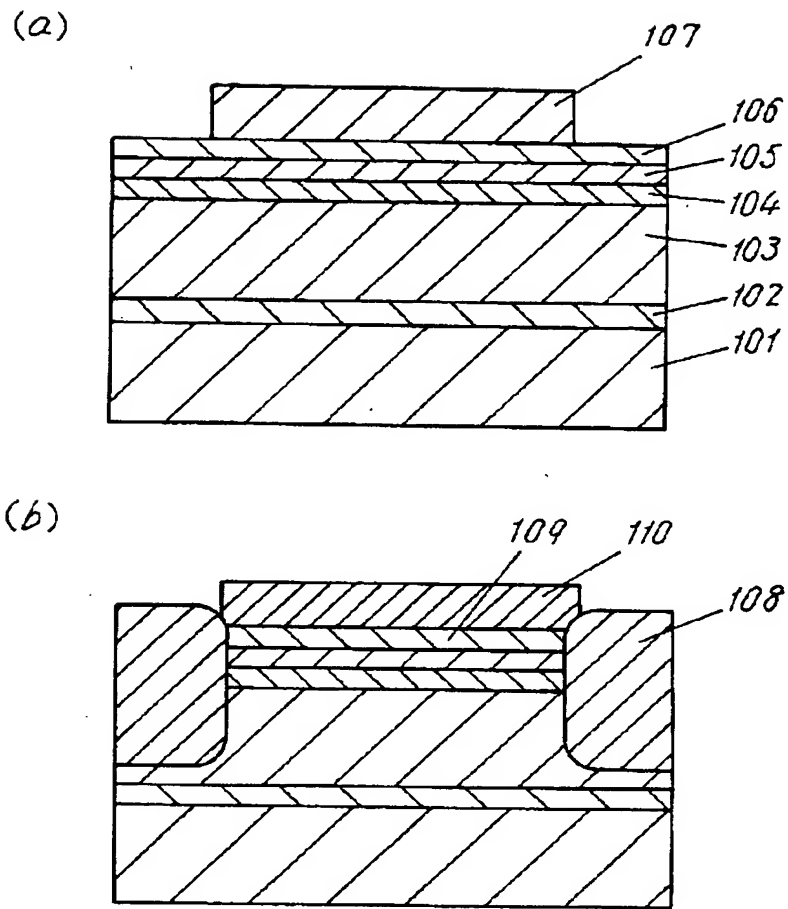
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 短時間で素子分離を行うと同時にGaN系ヘテロ構造の電氣的性質を損なうことなく表面にSiを導入する。

【解決手段】 基板101の上にAlGaN/GaNヘテロ構造を形成し、さらにその表面に厚さ200nmのSi膜107を選択的に形成する。次に1000℃の乾燥酸素雰囲気中に約1～2時間置き、熱酸化を施す。このとき、Si保護膜で覆われていない領域のAlGaN/GaNヘテロ構造は表面から酸化されてAlGaNとGaNの酸化物108が形成され、選択酸化による素子分離が行われると同時にAlGaN層の表面にSiの導入された層109が極薄く形成される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社